

SEMICONDUCTOR DEVICE MANUFACTURING APPARATUS

Publication number: JP2062036

Publication date: 1990-03-01

Inventor: OBA TAKAYUKI

Applicant: FUJITSU LTD

Classification:

- international: C23C16/46; H01L21/205; H01L21/26; H01L21/285;
C23C16/46; H01L21/02; (IPC1-7): C23C16/46;
H01L21/205; H01L21/26; H01L21/285

- European:

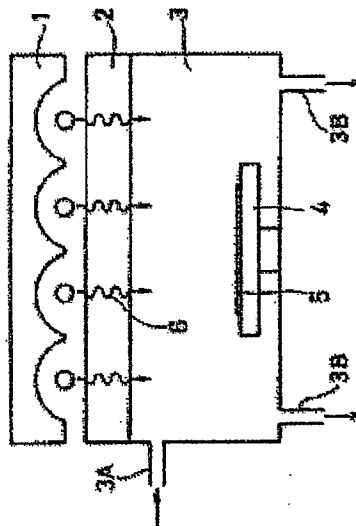
Application number: JP19880212565 19880829

Priority number(s): JP19880212565 19880829

Report a data error here

Abstract of JP2062036

PURPOSE: To enhance an integration density by a method wherein a filter used to cut off light of a wavelength exceeding about 1 μ m out of IR rays is installed between a reaction chamber and an IR-ray (infrared-ray) generation source. **CONSTITUTION:** A reaction chamber 3 contains a susceptor 4, a reaction gas introduction pipe 3A and a gas evacuation pipe 3B. A substrate 5 is arranged on the susceptor 4. An IR-ray generation source 1 is arranged so as to face the reaction chamber 3, and heats the substrate 5. A filter 2 is arranged between the reaction chamber 3 and the generation source 1; it transmits light, out of IR rays, of a wavelength which is absorbed uniformly in any part of the substrate 5. Then, a film thickness of a W film or a WSix film which is grown selectively becomes uniform. Thereby, an integration density can be enhanced.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-62036

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月1日

H 01 L 21/285
C 23 C 16/46
H 01 L 21/205
21/26

C 7738-5F
8722-4K
7739-5F
L 7738-5F

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 半導体デバイス製造装置

⑯ 特 願 昭63-212565

⑰ 出 願 昭63(1988)8月29日

⑱ 発 明 者 大 場 隆 之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 柏 谷 昭 司 外1名

明 細 書

1 発明の名称

半導体デバイス製造装置

2 特許請求の範囲

サセプタと反応ガス導入管とガス排出管とを有し且つ該サセプタ上には半導体基板が配設される反応室と、

該反応室に対向して配置されて半導体基板を加熱する赤外線発生源と、

前記反応室と該赤外線発生源との間に配設され且つ該赤外線発生源が発生する赤外線のうち前記半導体基板の何れの箇所にも均一に吸収される波長の光を透過するフィルタと

を備えてなることを特徴とする半導体デバイス製造装置。

3 発明の詳細な説明

〔概要〕

半導体基板を加熱する機構を有する半導体デバイス製造装置の改良に関し、

表面反応律速や初期反応の初期核形成過程が温

度に依存するような化学気相成長(chemical vapor deposition: CVD)を行う際、下地の如何、即ち、例えばn型不純物導入領域であるかp型不純物導入領域であるかに拘わらず、その表面温度が略同一となるようにし、成長させた被膜の膜厚を均一化することを目的とし、

サセプタと反応ガス導入管とガス排出管とを有し且つ該サセプタ上には半導体基板が配設される反応室と、該反応室に対向して配置されて半導体基板を加熱する赤外線発生源と、前記反応室と該赤外線発生源との間に配設され且つ該赤外線発生源が発生する赤外線のうち前記半導体基板の何れの箇所にも均一に吸収される波長の光を透過するフィルタとを備えてなるよう構成する。

〔産業上の利用分野〕

本発明は、半導体基板を加熱する機構を有する半導体デバイス製造装置の改良に関する。

半導体デバイスの大規模化に伴い、例えばMIS (metal insulator semi

conductor) 電界効果トランジスタのソース領域及びドレイン領域に於ける電極コンタクト・ホールにコンタクト用金属を埋め込む技術が重要になってきた。

現在、深い電極コンタクト・ホール内に例えばタングステン(W)、モリブデン(Mo)、タンタル(Ta)、チタン(Ti)、白金(Pt)、金(Au)、銀(Ag)などの金属或いは当該金属のシリサイドを選択的に成長させて埋めたり、また、その後、成長条件を変えて前記電極コンタクト・ホール周辺の絶縁膜上にも延在する当該金属からなる配線材料膜を一体的に形成する技術が提供されている。

前記のような選択的成長を実施する場合、下地である不純物拡散領域の如何、例えば n^+ 型であるか p^+ 型であるか、また、その他の条件が相違しても、例えば膜厚が常に同じになるなど、同一の成長を実現できることが望ましい。

(従来の技術)

従来、金属或いは該金属のシリサイドを選択的

に成長させる場合、その選択性を維持する為、赤外(infrared: IR)線を照射して半導体基板を加熱することができる反応装置を用いている(選択性などの現象に関して、必要あれば、「H. Itoh, T. Moriya, M. Kas hiwagi, Solid State Technol., vol. 30, 83, Nov. 1987」、「T. Ohba, S. Inoue, M. Maeda, Proc. IEEE IEDM Tech. Dig., 213 1987」、「H. Kotani, T. Tsutsumi, J. Komori, S. Nagao, ibid, 217 1987」などを参照)。

(発明が解決しようとする課題)

現在、半導体装置に於ける n 型不純物導入領域を形成するには磷(P)或いは砒素(As)が、そして、 p 型不純物導入領域を形成するには硼素(B)がそれぞれ多用され、そして、フリー・キャリアの濃度が異なると光の吸収が相違し、特に、その現象は波長が $1(\mu m) \sim 2(\mu m)$ の光に

ついて顕著に現れ、半導体基板の表面温度に差が発生することになる。尚、シリコン(Si)に於いては、主たる吸収は波長が $1(\mu m)$ 以下の光に対して起きる。

前記従来の技術で採用されているIR線のスペクトルは $1(\mu m) \sim 2(\mu m)$ の範囲に入る領域が存在していることから、下地の如何に依って表面温度に差を生じ、従って、同じ成長工程でありながら金属或いは金属シリサイドが選択成長開始する時点は同一にならず、成長膜厚が相違することになる。

第8図は或る種の半導体装置の要部切断側面図を表している。

図に於いて、21は p^- 型シリコン半導体基板、22は n^- 型ウエル、23は例えば二酸化シリコン(SiO_2)からなる絶縁膜、23N及び23Pは電極コンタクト・ホール、24は n^+ 型不純物導入領域、25は p^+ 型不純物導入領域、26は電極コンタクト・ホール23N内に選択成長させたWからなる電極、27は電極コンタクト・ホ

ール23P内に選択成長させたWからなる電極をそれぞれ示している。

第9図は第8図に見られるように電極26及び27を成長させた場合に於ける成長時間と成長膜厚との関係について説明する為の線図を表している、横軸に成長時間を、縦軸に成長膜厚をそれぞれ採ってある。

図に於いて、26Aは第8図に見られる n^+ 型不純物導入領域24の表面に選択成長された電極26に関する成長時間対成長時間の関係を表すライン、27Aは第8図に見られる p^+ 型不純物導入領域25の表面に選択成長された電極27に関する成長時間対成長時間の関係を表すラインをそれぞれ示している。

図から判るように、 p^+ 型不純物導入領域25上に電極27が成長開始される時点では、 n^+ 型不純物導入領域24上には既に0.3(μm)程度の電極26が形成されている。

ところで、このような選択成長に於いては、半導体装置の諸々の電気的特性を向上乃至維持する

為、温度をできる限り低くして実施することが望ましい。従って、例えばn型不純物導入領域上に選択成長させるに適切な表面温度に設定するとp型不純物導入領域上には成長しなかったり、また、p型不純物導入領域にたいして適切な表面温度に設定するとn型不純物導入領域では電気的な劣化、例えば、接合が破壊されてリーク電流が流れ易くなるなどの問題を生ずる。

一般に、半導体装置に於いては、n型不純物導入領域とp型不純物導入領域は全面に混在することが多いから、IR線の出力を不純物領域の導電型に応じて局所的に制御し、半導体基板の表面温度を一定にすることは實際上不可能である。

本発明は、表面反応律速や初期反応の初期核形成過程が温度に依存するようなCVDを行う際、下地の如何、即ち、例えばn型不純物導入領域であるかp型不純物導入領域であるかに拘わらず、その表面温度が略同一となるようにし、成長させた被膜の膜厚を均一化しようとする。

す線図であり、縦軸に波長を、また、横軸に強度をそれぞれ採ってある。

図から判るように、ここでのIR線は波長約1 (μm) 以下になっていて、これが反応室3内に在る半導体基板5を加熱することになる。

前記したようなことから、本発明に依る半導体デバイス製造装置では、サセプタ (例えばサセプタ4) と反応ガス導入管 (例えば反応ガス導入管3A) とガス排出管 (例えばガス排出管3B) とを有し且つ該サセプタ上には半導体基板 (例えば半導体基板5) が配設される反応室 (例えば反応室3) と、該反応室に対向して配置されて半導体基板を加熱するIR線発生源 (例えばIR線発生源1) と、前記反応室と該IR線発生源との間に配設され且つ該IR線発生源が発生するIR線のうち前記半導体基板の何れの箇所に於いても均一に吸収される波長の光を透過するフィルタ (例えばフィルタ2) とを備えている。

(作用)

前記手段を採ることに依り、半導体基板は波長

(課題を解決するための手段)

第1図は本発明の原理を解説する為の半導体デバイス製造装置の要部説明図を表している。

図に於いて、1はIR線発生源、2は波長が約1 (μm) を越える光を阻止するフィルタ、3は反応室、3Aは反応ガス導入管、3Bはガス排出管、4はサセプタ、5は半導体基板、6は波長が約1 (μm) 以下のIR線をそれぞれ示している。

図から明らかなように、図示の装置では、IR線発生源1からのIR線はフィルタ2を透過して反応室3内に入り、その中にセットされている半導体基板5を加熱するようになっている。

第2図は第1図に見られる装置に於けるIR線発生源1で発生されたIR線のスペクトル強度分布を表す線図であり、縦軸に波長を、また、横軸に強度をそれぞれ採ってある。

図から判るように、IR線は波長1 (μm) ~ 2 (μm) の間にピークをもって分布している。

第3図は第1図に見られる装置に於けるフィルタ2を透過したIR線のスペクトル強度分布を表

が略1 (μm) 以下のIR線で加熱されることから、そのIR線は、選択成長を行う下地の如何、即ち、n型不純物導入領域であるかp型不純物導入領域であるかに拘わらず均一に吸収され、その表面温度は略同一となって、何れの箇所の選択成長開始も同時であり、その結果、選択成長させた被膜の膜厚は均一になる。

(実施例)

第4図は本発明一実施例を解説する為の要部説明図を表している。

図に於いて、11はIR線発生源、12は波長が約1 (μm) を越える光を阻止するフィルタ、13は冷却水通路、13Aは冷却水導入管、13Bは冷却水排出管、14は石英板、15は反応室、15Aはガス排出管、16はシャワー、17は半導体基板をそれぞれ示している。

図示例に於けるIR線発生源11はWハロゲンランプを光源とするものであり、また、シャワー16からは、例えば
WF₆ : 2 ~ 5 (cc/分)

SiH₄: 2~5 (cc/分)

H₂ 或いはHe: 100~1000 (cc/分)

圧力: 0.1~0.3 (Torr)

からなるガスを流すようにしている。

本実施例に依ると、半導体基板17の表面温度の分布は殆どなくなり、従って、WSix (x = 0~0.1)の成長は何れの箇所に於いても略同時に開始され、成長膜厚はn型不純物導入領域上もp型不純物導入領域上も略均一になった。

第5図は第8図に見られるように電極26及び27を成長させた場合に於ける成長時間と成長膜厚との関係について説明する為の線図を表して、横軸に成長時間を、縦軸に成長膜厚をそれぞれ採ってある。

図に於いて、26Aは第8図に見られるn型不純物導入領域24の表面に選択成長された電極26に関する成長時間対成長時間の関係を表すライン、27Aは第8図に見られるp型不純物導入領域25の表面に選択成長された電極27に関する成長時間対成長時間の関係を表すラインをそ

れぞれ示している。

図から判るように、ライン26A並びにライン27Aは一致している。従って、電極26及び電極27の成長開始は同時であり、n型不純物導入領域24上であるかp型不純物導入領域25上であるかには無関係である。

前記実施例では、IR線の一部遮断にフィルタ12を用いているが、冷却水に硫酸銅を混合して流すとフィルタの役割も果し得るので、フィルタ12を単なる石英板に代替することが可能になる。

また、半導体基板17の加熱を裏面から行っているが、装置に若干の変更を施せば、第1図に見られるように、表面から加熱する構成にすることは容易である。然しながら、選択成長のみを行う場合、IR線の照射方向によって(1)選択性及び(2)膜ストレスなどが相違する為、図示のように裏面から加熱する方が有効であり、これについては更に詳細に説明しよう。

第6図は裏面加熱と表面加熱との関係を説明する為の線図であり、横軸にIRに依る裏面加熱の

場合の成長温度を、また、縦軸に同じく表面加熱の場合の成長温度をそれぞれ採ってある。

図に於いて、DSは成長開始領域、SELは選択成長領域、BLは無選択成長領域をそれぞれ示している。

図から判るように、表面加熱は裏面加熱に比較し、成長開始温度及び選択成長温度ともに高く、且つ、温度の選択幅も狭い。尚、理論的には、表面加熱と裏面加熱とは1:1の関係、即ち、図示のライン1Lに載る筈と思われるが、実際には図示の通りになり、その理由は未だ不明である。

第7図は裏面加熱或いは表面加熱を行った場合の膜ストレスの関係を説明する為の線図であり、横軸に成長温度を、縦軸にストレスをそれぞれ採っており、ストレスは0より上が引っ張り応力を、0より下が圧縮応力を表している。

図に於いて、①は裏面加熱の場合、②が表面加熱の場合をそれぞれ示している。

図から判るように、ストレスは成長温度に依り変化し、裏面加熱した場合、引っ張り応力から圧

縮応力まで分布するので、成長温度を適切に選択することで低ストレス状態の膜が得られ、剥離などの問題は少なくなる。然しながら、表面加熱の場合には、常に圧縮応力が加わった状態となり、しかも、その絶対値が大きく、従って、剥離などの問題を生じ易い。

このようなことから、裏面加熱の方が好ましいと考えられる。

(発明の効果)

本発明に依る半導体デバイス製造装置に於いては、反応室とIR線発生源との間にIR線のうちの約1(μm)を越える波長の光を遮断するフィルタを設置してある。

前記構成を採ることに依り、半導体基板は波長が略1(μm)以下のIR線で加熱され、そのIR線は、選択成長を行う下地の如何、即ち、n型不純物導入領域であるかp型不純物導入領域であるかに拘わらず均一に吸収され、従って、その表面温度は略同一となるものであって、何れの箇所に於いても選択成長開始は同時であると共に成長

速度も同じであり、その結果、選択成長させたW膜或いはWSix膜の膜厚は均一になるものであって、この選択成長技術は、例えばBi-CMOS (bipolar-complementary metal oxide semiconductor) や16Mビット～64Mビットのダイナミック・ランダム・アクセス・メモリ (dynamic random access memory: DRAM) 等の製造には必須とされているものであるから、これが安定に実施できることは、この種の半導体装置を製造する上で大変好ましいことであり、半導体装置に於ける集積度の向上や信頼性の向上に大きく寄与することができる。

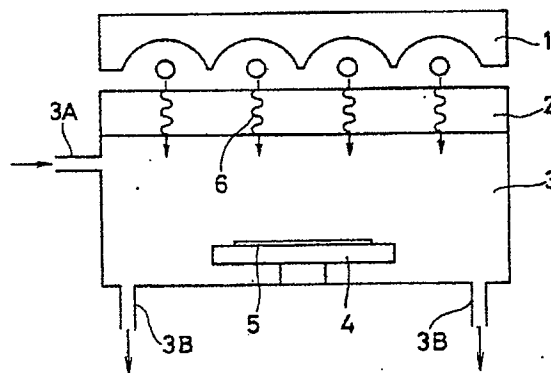
4 図面の簡単な説明

第1図は本発明の原理を解説する為の半導体デバイス製造装置の要部説明図、第2図は第1図に見られる装置に於けるIR線発生源1で発生されたIR線のスペクトル強度分布を表す線図、第3図は第1図に見られる装置に於けるフィルタ2を

透過したIR線のスペクトル強度分布を表す線図、第4図は本発明一実施例を解説する為の要部説明図、第5図は電極を成長させた場合の成長時間と成長膜厚との関係を説明する為の線図、第6図は裏面加熱と表面加熱との関係を説明する為の線図、第7図は裏面加熱或いは表面加熱を行った場合の膜ストレスの関係を説明する為の線図、第8図は或る種の半導体装置の要部切断側面図、第9図は第8図に見られるように電極を成長させた場合に於ける成長時間と成長膜厚との関係について説明する為の線図をそれぞれ表している。

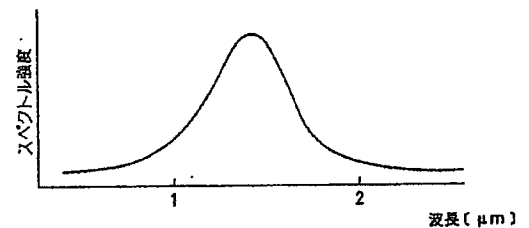
図に於いて、1はIR線発生源、2は波長が約1(μm)を越える光を阻止するフィルタ、3は反応室、3Aは反応ガス導入管、3Bはガス排出管、4はサセプタ、5は半導体基板、6は波長が約1(μm)以下のIR線をそれぞれ示している。

特許出願人 富士通株式会社
代理人弁理士 柏谷昭司
代理人弁理士 渡邊弘一



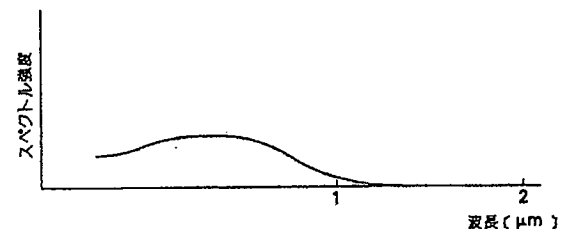
本発明の原理を解説する為の
半導体デバイス製造装置の要部説明図

第1図



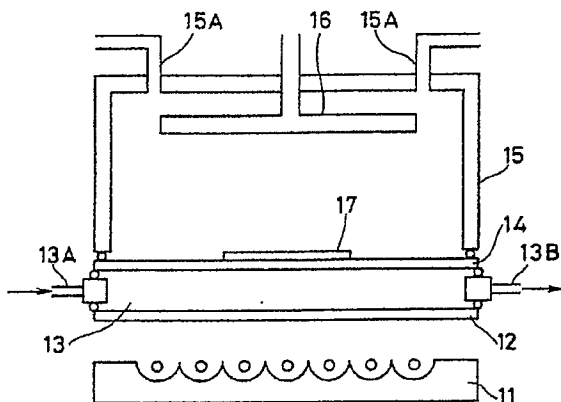
第1図に見られる装置に於けるIR線発生源1で
発生されたIR線のスペクトル強度分布を表す線図

第2図



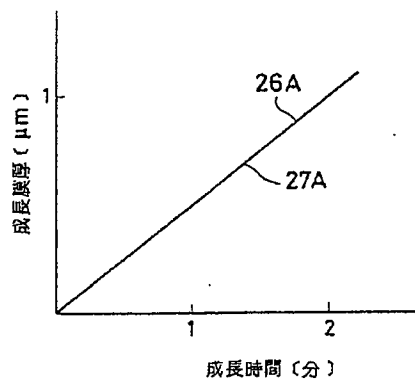
第1図に見られる装置に於けるフィルタ2を
透過したIR線のスペクトル強度分布を表す線図

第3図

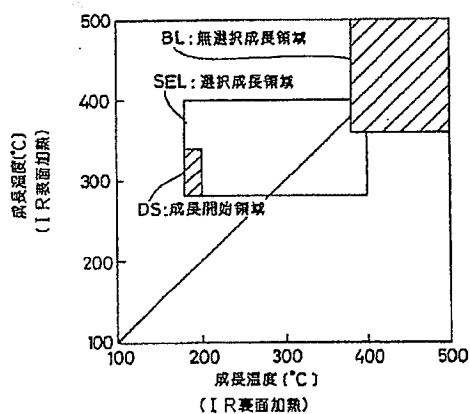


本発明一実施例を解説する為の要部説明図

第4図

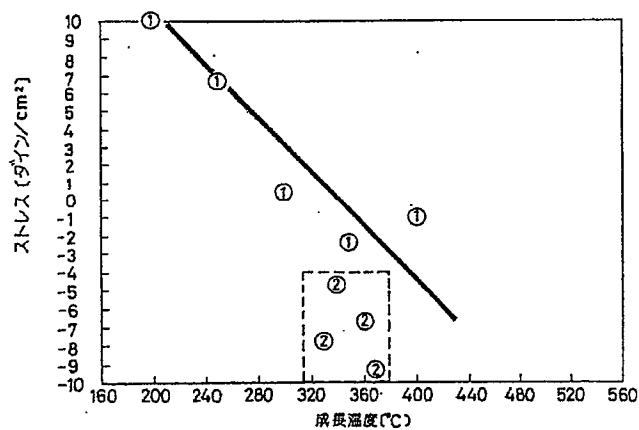


電極を成長させた場合の成長時間
と成長膜厚の関係を説明する為の線図
第5図



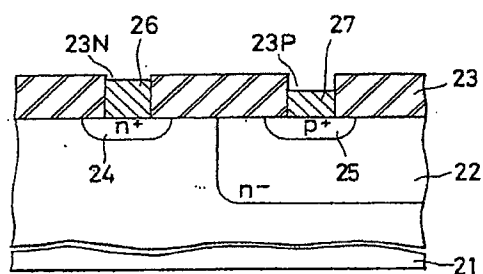
裏面加熱と表面加熱との関係を説明する為の線図

第6図



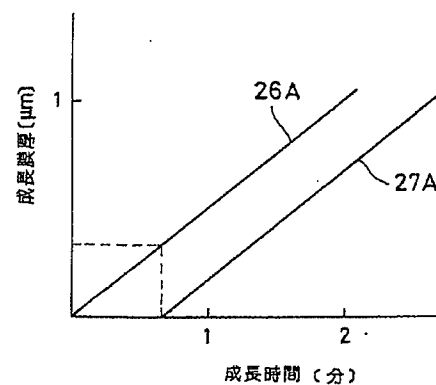
裏面加熱域は表面加熱を行った際の
膜ストレスの関係を説明する為の線図

第7図



或る種の半導体装置の要部切断側面図

第 8 図



第8図に見られるように電極を成長させた場合に於ける成長時間と成長膜厚との関係について説明する為の線図

第 9 図